



Docket No.: W&B-INF-1946

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: _____

Date: October 24, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/675,054
Applicant : Peter Beer
Filed : September 30, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : W&B-INF-1946
Customer No.: 24131

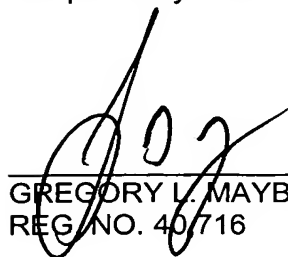
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 45 538.4 filed September 30, 2002 and German Patent Application 103 02 670.3 filed January 24, 2003.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40716

Date: October 24, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 45 538.4

Anmeldetag: 30. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Speicherzellenanordnung für einen DRAM-Speicher
mit einem Kontaktbitanschluss für zwei Grabenkonden-
satoren verschiedener Reihen

IPC: H 01 L, G 11 C

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der
ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 30. September 2003
Deutsches Patent- und Markenamt
Der Präsident

Im Auftrag

A handwritten signature in black ink, likely belonging to the President of the German Patent and Trademark Office, is placed below the text 'Im Auftrag'.

flert

Beschreibung

Speicherzellenanordnung für einen DRAM-Speicher mit einem Kontaktbitanschluss für zwei Grabenkondensatoren verschiedener Reihen

Die Erfindung betrifft eine Speicherzellenanordnung, insbesondere für einen DRAM-Speicherbaustein gemäß Patentanspruch 1.

Speicherbausteine, insbesondere dynamische Schreib-/ Lesespeicher (DRAM) enthalten ein oder mehrere Zellenfelder mit Speicherzellen. Die Speicherzellen sind in einem Zellenfeld nach Art einer Matrix in Zeilen und Spalten angeordnet. Eine Speicherzelle weist einen Auswahltransistor und einen Kondensator auf. Ein Steueranschluss des Auswahltransistors wird von einer Wortleitung gebildet. Der Auswahltransistor ist mit einem ersten Anschluss an den Kondensator und mit einem zweiten Anschluss an eine Bitleitung angeschlossen. Die Wortleitungen und die Bitleitungen sind senkrecht zueinander angeordnet.

Aus DE 100 27 912 A1 ist eine gattungsgemäße Speicherzellenanordnung bekannt, bei der die Kondensatoren in Form von Grabenkondensatoren ausgebildet sind. Die weiterschreitende Miniaturisierung der Speicherbausteine führt dazu, dass die Abstände zwischen den Kondensatoren und die Abstände zwischen den spannungsführenden Bereichen immer kleiner werden. Zudem nimmt die Ladungskapazität der Kondensatoren weiter ab, wobei die Ladungskapazität des Kondensators schon geringer ist als die Ladungskapazität der mit dem Kondensator verbindbaren Bitleitung. Aufgrund der geringen Ladung, die im Kondensator gespeichert ist und aufgrund der geringen Abständen zwischen den Signal- und Steuerleitungen, wie z. B. den Bitleitungen und den Wortleitungen besteht das Problem einer gegenseitigen Signalbeeinflussung.

Die Aufgabe der Erfindung besteht darin, eine Speicherzellenanordnung bereitzustellen, die eine hohe Dichte von Grabenkondensatoren ermöglicht und zudem eine reduzierte Signalkopplung zwischen den Signal- und/oder Steuerleitungen aufweist.

Die Aufgabe der Erfindung wird durch die Speicherzellenanordnung gemäß dem Anspruch 1 gelöst. Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Die erfindungsgemäße Speicherzellenanordnung weist den Vorteil auf, dass die Grabenkondensatoren einen geringen Abstand voneinander aufweisen und trotzdem zwei Grabenkondensatoren über einen Kontaktbitanschluss mit einer Bitleitung wahlweise elektrisch leitend verbindbar sind. Durch die Einsparung von Kontaktbitanschlüssen sind die Kapazitäten der Bitleitungen reduziert.

Gemäß der erfindungsgemäßen Anordnung ist es möglich, trotz der kompakten Anordnung zwei Grabenkondensatoren über einen Kontaktbitanschluss mit einer Bitleitung elektrisch leitend zu verbinden. Dies ist dadurch möglich, dass ein Kontaktbitanschluss mit zwei Grabenkondensatoren verschiedener Reihen elektrisch leitend verbunden ist. Durch die Einsparung eines Kontaktbitanschlusses wird die elektrische Kopplung zwischen den Wortleitungen (Steuerleitungen) und den Kontaktbitanschlüssen (Signalleitungen) reduziert. Damit ist eine höhere Störsignalsicherheit für das Auslesen der Informationen aus den Speicherzellen gegeben.

Vorzugsweise sind die Grabenkondensatoren in einem regelmäßigen Raster angeordnet, wobei ein mittlerer Grabenkondensator jeweils von vier benachbarten Grabenkondensatoren umgeben

ist, wobei die Zentren der vier umgebenden Grabenkondensatoren jeweils vorzugsweise den gleichen Abstand zu dem Zentrum des mittleren Grabenkondensators aufweisen. Auf diese Weise wird eine dichte und regelmäßige Anordnung der Grabenkondensatoren ermöglicht. Durch die dichte Anordnung besteht ein geringerer Flächenbedarf und durch die regelmäßige Anordnung ist das Layout für die Grabenkondensatoren einfach und kostengünstig herzustellen.

10 In einer bevorzugten Ausführungsform ist der Kontaktbitanschluss zwischen zwei nächstliegenden Wortleitungen angeordnet. Benachbart zu einer nächstliegenden Wortleitung ist jeweils eine weitere Wortleitung angeordnet, die die Steueranschlüsse für die Auswahltransistoren der Grabenkondensatoren bilden, die mit dem Kontaktbitanschluss leitend verbindbar sind. Auf diese Weise wird eine einfache, symmetrische und kompakte Anordnung der Wortleitungen ermöglicht.

20 In einer weiteren bevorzugten Ausführungsform weisen die Grabenkondensatoren eine nach oben sich verjüngende Querschnittsform auf. Zudem ist mindestens teilweise der Kontaktbitanschluss über einem Grabenkondensator angeordnet. Durch diese Anordnung wird zusätzlich Oberfläche eingespart, so dass eine kostengünstige Fertigung der Speicherzellenanordnung möglich ist.

30 In einer vorteilhaften Ausführungsform sind die Wortleitungen parallel nebeneinander und oberhalb von Grabenkondensatoren geführt. Auf diese Weise wird eine einfache, symmetrische und platzsparende Struktur erreicht.

35 In einer ersten Ausführungsform ist die Verbindungsleitung zwischen den zwei zweiten Anschlussbereichen der zwei Grabenkondensatoren, die mit einem gemeinsamen Kontaktbitanschluss verbindbar sind, in Form eines dotierten Gebietes ausgebildet, das in das Halbleitermaterial eingebracht ist.

In einer weiteren Ausführungsform ist die Verbindungsleitung in Form einer leitenden Schicht ausgebildet, die auf das Halbleitermaterial aufgebracht ist.

5 Vorzugsweise liegt die Höhe der leitenden Schicht im Bereich von 10 bis 50 nm. Durch die geringe Höhe ist eine Reduzierung der Signalbeeinflussung zwischen Wortleitung und Signalleitung gegeben.

10 In einer weiteren Ausführungsform weist die Speicherzellenanordnung gekreuzte Bitleitungen auf, wobei eine true- und eine Komplementärbitleitung eines Bitleitungspaares gekreuzt angeordnet sind und zu einer gemeinsamen Verstärkerschaltung geführt sind. Durch die gekreuzte Anordnung der Bitleitungen
15 wird eine Reduzierung der Signalbeeinflussung zwischen den Bitleitungen beim Auslesen einer Ladung einer Speicherzelle erreicht.

Die Erfindung wird im Folgenden anhand der Figuren näher erläutert. Es zeigen
20

Figur 1 eine schematische Darstellung eines DRAM-Speicherbausteins;

25 Figur 2 eine schematische Darstellung eines Speicherzellenfeldes mit gekreuzten Bitleitungen;

Figur 3 einen Ausschnitt aus einem Speicherzellenfeld;

Figur 4 den gleichen Ausschnitt des Speicherzellenfeldes gemäß Figur 3, wobei die Bitleitungen zusätzlich eingezeichnet sind;

30 Figur 5 eine schematische Darstellung eines Querschnittes eines Grabenkondensators mit einem Auswahltransistor und einem Kontaktbitanschluss;

Figur 6 eine vereinfachte Darstellung eines Ausschnittes des erfindungsgemäßen Layouts;

35 Figur 7 einen Querschnitt durch eine Reihe von Grabenkondensatoren;

Figur 8 einen ersten Querschnitt durch eine erste Ausführungsform der Verbindungsleitung;

Figur 9 einen ersten Querschnitt durch eine zweite Ausführungsform der Verbindungsleitung;

5 Figur 10 einen zweiten Querschnitt durch die erste Ausführungsform der Verbindungsleitung parallel zu den Reihen der Grabenkondensatoren mit der Darstellung der benachbarten Wortleitungen;

Figur 11 einen zweiten Querschnitt durch die zweite Ausführungsform der Verbindungsleitung mit der Darstellung der benachbarten Wortleitungen; und

Figur 12 eine Darstellung eines gemeinsamen Anschlussgebietes für zwei Grabenkondensatoren.

15 Die Erfindung wird im Folgenden am Beispiel eines DRAM-Speicherbausteins mit Grabenkondensatoren beschrieben. Die erfindungsgemäße Speicherzellenanordnung kann auch in anderen Speicherbausteinen eingesetzt werden.

20 Figur 1 zeigt schematisch einen Speicherbaustein 1, der als DRAM-Speicherbaustein ausgebildet ist und in Halbleitertechnik realisiert ist. In Figur 1 sind nur die Teile des Speicherbausteins dargestellt, die für das Verständnis der Erfindung von Bedeutung sind.

25 Der Speicherbaustein 1 weist ein Zellenfeld 9 auf, in dem Speicherzellen 2 angeordnet sind. Jede Speicherzelle 2 umfasst einen Auswahltransistor 4 und einen Kondensator 3. Der Kondensator 3 ist an einen ersten Anschluss des Auswahltransistor 4 angeschlossen. Ein zweiter Anschluss des Auswahltransistors 4 steht mit einer Bitleitung 5 in Verbindung. Ein Steueranschluss des Auswahltransistors 4 ist an eine Wortleitung 6 angeschlossen. Die Wortleitungen 6 sind an einen Zeilendecoder 10 und die Bitleitungen 5 an eine Verstärkerschaltung 7 angeschlossen.

30

35

Zum Auslesen einer Information aus einer Speicherzelle 2 wird die Adresse der auszulesenden Speicherzelle einem Adressdecoder zugeführt, der die Adresse in eine Zeilenadresse und in eine Spaltenadresse aufteilt. Die Zeilenadresse wird dem Zeilendecoder 10 und die Spaltenadresse dem Spaltendecoder 11 zugeführt. Bei Erhalt der Zeilenadresse der Speicherzelle wählt der Zeilendecoder 10 die entsprechende Wortleitung 6 aus und aktiviert die entsprechende Wortleitung, d.h. es wird ein Spannungspotential an die ausgewählten Wortleitung angelegt. Durch das Spannungspotential der Wortleitung wird der Auswahltransistor 4 leitend geschaltet, so dass die Ladung des Kondensators 3 der ausgewählten Speicherzelle 2 über den Auswahltransistor 4 auf die angeschlossene Bitleitung 5 fließt. Die Bitleitung 5 führt die ausgelesene Ladung an die Verstärkerschaltung 7. Die ausgelesene Ladung wird mit einer Ladung einer Referenzbitleitung verglichen. Die Spannungsunterschiede zwischen der Bitleitung und der Referenzbitleitung werden durch die Verstärkerschaltung 7 aufgespreizt. Die vergrößerten Spannungsunterschiede werden einem Gatterblock zugeführt. Die ausgewählte Bitleitung und die Referenzbitleitung werden durch eine true- und eine komplementäre Bitleitung 5a, 5b dargestellt.

Da die ausgewählte Wortleitung 6 mit einer Vielzahl von Auswahltransistoren 4 verbunden ist, ist eine weitere Auswahl des Bitleitungspaars erforderlich, um die Ladung einer gewünschten Speicherzelle auszulesen. Die weitere Auswahl wird durch den Spaltendecoder 11 vorgenommen. Der Spaltendecoder 11 wählt nach Erhalt der Spaltenadresse der auszuwählenden Speicherzelle den entsprechenden Gatterblock des Bitleitungspaars aus, von dem eine Bitleitung mit der Ladung der auszulesenden Speicherzelle 2 beaufschlagt ist. Durch die Auswahl des Gatterblocks werden über Transistoren die Spannungspotentiale der zwei Bitleitungen des Bitleitungspaars an einen Datenausgangspuffer weitergegeben. In Abhängigkeit von dem Verhältnis der Spannungspotentiale der zwei Bitleitungen des

Bitleitungspaares wird eine logische „1“ oder eine logische „0“ als Information der Speicherzelle erkannt.

Die fortschreitende Miniaturisierung der Kondensatoren führt dazu, dass die in den Kondensatoren gespeicherte Ladung sehr klein ist und die Kapazität der Kondensatoren kleiner ist als die Kapazität einer Bitleitung 5. Aufgrund der geringen Ladung der Kondensatoren 3 ist es erforderlich, gegenseitige Ladungsbeeinflussungen zwischen den Signalleitungen und/oder den Steuerleitungen, insbesondere zwischen den Bitleitungen und den Wortleitungen zu reduzieren. Weiterhin ist es erforderlich, die Bitleitungskapazität so klein wie möglich auszubilden, damit die Wirkung der Kapazität der Speicherzelle zur Detektion einer Ladung verbessert wird.

Zur Reduzierung der elektrischen Kopplung zwischen den Bitleitungen werden zwei Bitleitungen 5a, 5b eines Bitleitungspaares abwechselnd gekreuzt angeordnet, wie in Figur 2 dargestellt ist. Zudem sind mehrere Verstärkerschaltungen 7 auf gegenüberliegenden Seiten des Speicherzellenfeldes 9 angeordnet. Die Bitleitungspaare 5a, 5b sind zu Verstärkerschaltungen 7 geführt, die abwechselnd auf verschiedenen Seiten des Zellenfeldes 9 angeordnet sind.

Die erfindungsgemäße Speicherzellenanordnung kann vorzugsweise in einer Wortleitungs- und Bitleitungsstruktur gemäß dem Beispiel der Figur 2 eingesetzt werden, bei der gekreuzte Bitleitungen angeordnet sind. Die gekreuzten Bitleitungen sind voneinander elektrisch isoliert, bewirken jedoch wegen ihrer gekreuzten Anordnung eine geringere gegenseitige Beeinflussung der Spannungspotentiale beim Auslesen einer Ladung aus einer Speicherzelle 2. Die erfindungsgemäße Speicherzellenanordnung kann jedoch auch bei jeder anderen Art von Wort- und Bitleitungsstruktur eingesetzt werden.

Figur 3 zeigt in einer schematischen Darstellung einen Ausschnitt eines Schaltungslayouts für die Speicherzellenanord-

nung des Zellenfeldes 9. Die Wortleitungen 6 sind in Form von geraden Bahnen parallel nebeneinander angeordnet. In dem dargestellten Ausführungsbeispiel sind die Kondensatoren der Speicherzellen in Form von im Querschnitt kreisförmigen Grabenkondensatoren 12 ausgebildet. Anstelle der kreisförmigen Grabenkondensatoren können auch im Querschnitt ovale Grabenkondensatoren vorgesehen sein. Die Grabenkondensatoren 12 weisen einen Kontaktanschluss 13 auf. Zudem sind Kontaktbitanschlüsse 16 dargestellt, die zu Bitleitungen 5 geführt sind, die in Figur 3 nicht dargestellt sind. Die Grabenkondensatoren 12 sind in einem regelmäßigen Muster angeordnet, wobei jeder Grabenkondensator vorzugsweise von vier benachbarten Grabenkondensatoren 12 umgeben ist, deren Zentren vorzugsweise den gleichen Abstand zu dem Zentrum des mittleren Grabenkondensators 12 aufweisen. Die Grabenkondensatoren 12 sind in Reihen R angeordnet, wobei die Grabenkondensatoren 12 zweier Reihen in der Reihenrichtung zueinander versetzt angeordnet sind. Die Richtung der Reihen ist in Form von Pfeilen angedeutet.

Die Kontaktanschlüsse 13 der Grabenkondensatoren 12 sind in einer Reihe immer auf der gleichen Seite angeordnet. Bei aufeinander folgenden Reihen, in der Figur von oben nach unten, sind die Kontaktanschlüsse 13 auf unterschiedlichen Seiten der Grabenkondensatoren 12, aber immer in der Reihenrichtung, d.h. seitlich zum Grabenkondensator, angeordnet. Zwischen zwei Grabenkondensatoren 12 ist in Reihenrichtung ein aktives Gebiet 14 ausgebildet. Im aktiven Gebiet 14 sind Teile des Auswahltransistors 4 angeordnet, mit dem ein Grabenkondensator 12 mit einer Bitleitung 5 verbindbar ist. Das aktive Gebiet 14 ist in Reihenrichtung jeweils durch die Grabenkondensatoren 12 elektrisch isoliert. In seitlicher Richtung sind die einzelnen aktiven Gebiete 14 über nicht dargestellte Isolationsschichten elektrisch isoliert, um eine gegenseitige Beeinflussung zu vermeiden.

Erfindungsgemäß sind jeweils zwei aktive Gebiete 14 zweier Reihen, die teilweise in Reihenrichtung überlappend nebeneinander angeordnet sind, über eine Verbindungsleitung 15 elektrisch miteinander verbunden. Die zwei aktiven Gebiete 14, die über die Verbindungsleitung 15 miteinander elektrisch verbunden sind, bilden ein gemeinsames Anschlussgebiet 17. Das Anschlussgebiet 17 ist an einen Kontaktbitanschluss 16 angeschlossen, der nach oben zu einer Bitleitung 5 geführt ist. An das Anschlussgebiet 17 grenzen vier Grabenkondensatoren 12 an. Zwei innere Grabenkondensatoren weisen einen ersten Abstand voneinander auf. Zwei äußere Grabenkondensatoren 12 weisen einen zweiten Abstand zueinander auf. Der erste Abstand ist kleiner als der zweite Abstand. Die inneren Grabenkondensatoren sind nicht elektrisch leitend mit dem Anschlussgebiet 17 verbunden. Die zwei äußeren Grabenkondensatoren 12 sind über die Kontaktanschlüsse 13 und die Auswahltransistoren 4 mit dem Anschlussgebiet 17 elektrisch leitend verbindbar.

Durch die gewählte Ausführungsform kann zum einen eine hohe Dichte der Grabenkondensatoren 12 erreicht und trotzdem ein elektrischer Kontakt zwischen zwei Grabenkondensatoren und einer Bitleitung 5 über nur einen gemeinsamen Kontaktbitanschluss 16 bereitgestellt werden.

Die Wortleitungen 6 sind vorzugsweise mindestens teilweise über Grabenkondensatoren 12 geführt. Die dargestellten Kontaktbitanschlüsse 16 sind mindestens teilweise über einem unteren breiteren Querschnitt eines Grabenkondensators angeordnet.

Ein Kontaktbitanschluss 16 ist zwischen zwei nächsten Wortleitungen 6 angeordnet, die jedoch nicht mit den Auswahltransistoren der Grabenkondensatoren 12 verbunden sind, die elektrisch mit dem Kontaktbitanschluss 16 leitend verbindbar sind. An den jeweiligen von dem Kontaktbitanschluss 16 abgewandten Seiten der nächsten Wortleitungen sind weitere Wort-

leitungen 6 angeordnet, die die Steueranschlüsse für die Auswahltransistoren 4 der Grabenkondensatoren 12 bilden, die mit dem Kontaktbitanschluss 16 elektrisch leitend verbindbar sind.

5

Figur 4 zeigt den gleichen Ausschnitt wie Figur 3, wobei zusätzlich die Bitleitungen 5 dargestellt sind. Die Bitleitungen 5 sind in dem dargestellten Ausführungsbeispiel senkrecht zu den Wortleitungen 6 und über den aktiven Gebieten 14 entlang einer Reihe von Grabenkondensatoren 12 angeordnet. Die Bitleitungen 5 sind abwechselnd als Bitleitung true- (BLt) und als komplementäre Bitleitung (BLc) angeordnet, wobei eine komplementäre und eine true-Bitleitung ein Bitleitungspaar bilden, das zur Auswertung des Informationsinhaltes einer Speicherzelle, wie bei Figur 1 beschrieben, mit einer Verstärkerschaltung 7 verbunden ist.

10

15

20

25

30

35

Figur 5 zeigt einen Querschnitt durch einen Grabenkondensator 12 und Teile der angrenzenden aktiven Gebiete 14. Ein Grabenkondensator 12 ist in ein Halbleitersubstrat 30 eingebracht, wobei in das Halbleitersubstrat 30 ein Graben 31 eingebracht ist, der in einem unteren Bereich einen größeren, kreisförmigen Querschnitt als in einem oberen Bereich hat. Als Halbleitersubstrat wird vorzugsweise ein Siliziumsubstrat verwendet. Das Siliziumsubstrat ist vorzugsweise schwach p-dotiert. Der Graben 31 ist mit einer elektrisch leitenden Schicht, vorzugsweise mit Polysilizium, ausgefüllt, das beispielsweise mit Arsen oder Phosphor hoch n-dotiert ist. Die leitende Schicht bildet eine innere Elektrode 19 des Grabenkondensators 12. Die innere Elektrode 19 ist mit einer Speicherdielektrikumsschicht 26 umgeben. Angrenzend an einen unteren Bereich des Grabens 31 ist eine äußere Elektrode 20 ausgebildet. Die äußere Elektrode 20 ist als hoch n-dotiertes Gebiet ausgebildet und umgibt den Graben 31 bis in einen mittleren Bereich. Im oberen Bereich verjüngt sich der Querschnitt des Grabens 31 und ist von einem Isolationskragen 32 umgeben. Die innere Elektrode 19 ist auf einer Seite weiter verjüngt und

über eine weitere Isolationsschicht 27 von dem angrenzenden Halbleitermaterial elektrisch isoliert ist.

Die weitere Isolationsschicht 27 ist bis zur Oberfläche des Halbleitersubstrats 30 geführt. Gegenüberliegend zur Isolationsschicht 27 ist in einem oberen Endbereich ein Seitenbereich des Isolationskragens 32 in Richtung auf ein aktives Gebiet 14 geöffnet. Auf diese Weise ist eine elektrisch leitende Verbindung zwischen der inneren Elektrode 19 und dem aktiven Gebiet 14 gegeben. Direkt an der inneren Elektrode 19 ist ein erstes Anschlussgebiet 21 angeordnet, das mit der inneren Elektrode 19 leitend verbunden ist. Das erste Anschlussgebiet 21 besteht beispielsweise aus einem n-dotierten Gebiet des Halbleitermaterials. Die seitliche Öffnung der inneren Elektrode 19 zum aktiven Gebiet 14 bildet den Kontaktanschluss 13.

Seitlich beabstandet zum ersten Anschlussgebiet 21 ist ein zweites Anschlussgebiet 22 ausgebildet. Das zweite Anschlussgebiet 22 besteht vorzugsweise aus einem n-dotierten Gebiet. Das erste und das zweite Anschlussgebiet 21, 22 sind seitlich durch ein Kanalgebiet 33 beabstandet. Über dem Kanalgebiet 33 ist seitlich überlappend zum ersten und zweiten Anschlussgebiet 21, 22 eine Gate-Oxidschicht 23 auf dem Halbleitersubstrat aufgebracht. Über der Gate-Oxidschicht 23 ist eine Wortleitung 6 angeordnet. Die Wortleitung 6, das erste und zweite Anschlussgebiet 21, 22 und das Kanalgebiet 33 bilden einen Answahltransistor 4 in Form eines Feldeffekttransistors.

Die Wortleitung 6 ist von einer Isolationsschicht 24 bedeckt, die auf dem Halbleitersubstrat 30 aufgebracht ist. Die Isolationsschicht 24 ist beispielsweise in Form einer Siliziumoxidschicht ausgebildet. Auf der Isolationsschicht 24 ist eine Bitleitung 5 quer zur Längsrichtung der Wortleitung 6 angeordnet. Der Grabenkondensator 13 trennt elektrisch zwei aktive Gebiete 14, wobei auch im aktiven Gebiet 14, das rechts

neben der weiteren Isolationsschicht 27 angeordnet ist, ein zweites Anschlussgebiet 22 eingebracht ist. Das zweite Anschlussgebiet 22 ist über einen Kontaktbitanschluss 16 elektrisch leitend mit der Bitleitung 5 verbunden. Der Kontaktbitanschluss 16 ist durch die Isolationsschicht 24 hindurch von dem zweiten Anschlussgebiet 22 bis zur Bitleitung 5 geführt. Der Kontaktbitanschluss 16 ist beispielsweise aus einem metallischen Material oder einer leitenden Polysiliziumschicht gebildet.

Figur 6 zeigt einen Teilausschnitt der Figur 3, wobei die gemeinsamen Anschlussgebiete 17 mit einer Linie umgeben sind.

In Figur 7 ist ein Schnitt A-A durch Figur 6 entlang einer Reihe von Grabenkondensatoren 12 schematisch dargestellt. Dabei ist deutlich die Anordnung der Wortleitungen 6 zu erkennen, die über den aktiven Gebieten 14 zwischen den ersten und den zweiten Anschlussgebieten 21, 22 und über den Grabenkondensatoren 12 angeordnet sind. Bei jedem zweiten Grabenkondensator 12 ist zudem mindestens teilweise über dem Grabenkondensator 12 ein Kontaktbitanschluss 16 angeordnet, der ein zweites Anschlussgebiet 22 elektrisch leitend einer Bitleitung 5 verbindet. Je nach Ausführungsform können die Kontaktbitanschlüsse 16 auch seitlich versetzt zu den Grabenkondensatoren angeordnet sein.

In Figur 8 ist ein Schnitt B-B der Figur 6 dargestellt, der senkrecht zu den Reihen der Grabenkondensatoren angeordnet ist und durch eine Verbindungsleitung 15 geführt ist. Die Verbindungsleitung 15 ist in dem dargestellten Ausführungsbeispiel in Form einer Leitungsschicht 29 ausgebildet, die auf dem Halbleitersubstrat 30 aufgebracht ist. Die Leitungsschicht 29 überlappt in den seitlichen Endbereichen jeweils mit zugeordneten zweiten Anschlussgebieten 22 zweier aktiver Gebiete 14 nebeneinander angeordneter Reihen. Die Leitungsschicht 29 weist eine Schichtdicke auf, die deutlich niedriger ist als die Länge der Kontaktanschlüsse 16. Vorzugsweise

liegt die Schichtdicke der Leitungsschicht 29 im Bereich von 10 bis 50 nm. Gute Ergebnisse wurden mit einer Schichtdicke von 20 nm erreicht. Vorzugsweise wird als Material für die Leitungsschicht 29 leitendes Polysilicium verwendet.

5

Figur 9 zeigt den Schnitt B-B, bei dem die Verbindungsleitung 15 in Form einer Dotierschicht 28 im Halbleitersubstrat 30 ausgebildet ist. Die Dotierschicht 28 ist n-dotiert und geht seitlich in zweite Anschlussgebiete 22 zweier aktiver Gebiete 14 über, die in verschiedenen Reihen angeordnet sind.

10

Figur 10 zeigt einen Querschnitt C-C der Figur 6, der parallel zu den Reihen der Grabenkondensatoren und zwischen zwei Reihen angeordnet ist. In Figur 10 ist die Verbindungsleitung 15 in Form einer Dotierschicht 28 ausgebildet, die in das Halbleitersubstrat 30 eingebracht ist. Die Dotierschicht 28 ist beispielsweise n-dotiert.

15

Figur 11 zeigt den Querschnitt C-C, bei dem die Verbindungsleitung in Form der Leitungsschicht 29 ausgebildet ist.

20

Figur 12 zeigt eine Grundzelle, aus der die Speicherzellenanordnung aufgebaut ist. Die Grundzelle umfasst zwei aktive Gebiete 14, die über eine Verbindungsleitung 15 miteinander verbunden sind und ein gemeinsames Anschlussgebiet 17 bilden. Der Kontaktbitanschluss 16 ist vorzugsweise über einem Grabenkondensator angeordnet, der nicht elektrisch leitend mit dem gemeinsamen Anschlussgebiet 17 verbindbar ist. Für eine geringere Packungsdichte kann der Bitleitungsanschluß 16 auch seitlich versetzt zum Grabenkondensator 12 angeordnet sein. Beispielsweise kann der Kontaktbitanschluss auch über der Verbindungsleitung angeordnet sein.

5

30

Es ist zu erkennen, dass die aktiven Gebiete 14 jeweils durch die angrenzenden Grabenkondensatoren 12 seitlich begrenzt und elektrisch isoliert sind. Entlang den Längsseiten der aktiven Gebiete 14 sind Isolationsschichten zur Isolation angeordnet,

35

die nicht dargestellt sind. Der mögliche Stromfluss zwischen den Grabenkondensatoren und dem gemeinsamen Kontaktbitanschluss 16 ist schematisch in Form von Pfeilen angedeutet.

5 Durch das erfindungsgemäße Schaltungslayout ist es trotz der hohen Dichte der Grabenkondensatoren möglich, zwischen den Grabenkondensatoren einen relativ großen Abstand einzuhalten und trotzdem über einen einzigen Kontaktbitanschluss 16 zwei Grabenkondensatoren mit einer Bitleitung zu verbinden. Auf
10 diese Weise werden Bitleitungsanschlüsse 16 eingespart. Dadurch werden elektrische Kopplungen zwischen einer Wortleitung 6 und einem Kontaktbitanschluss 16 vermieden. Somit ist eine geringere Signalbeeinflussung zwischen den Wortleitungen und den Bitleitungen gegeben.

15

Wie aus den Figuren 10 und 11 ersichtlich ist, sind die Verbindungsleitungen 15 parallel zu den Wortleitungen 6 angeordnet. Jedoch bestehen aufgrund der Ausführungsform der Verbindungsleitung 15 kaum Wechselwirkungen zwischen der Wortleitung 6 und der Verbindungsleitung 15. In Form der Dotierschicht 28 besteht ein relativ großer vertikaler Abstand zwischen der Wortleitung 6 und der Dotierschicht 28, so dass die gegenseitige Beeinflussung gering ist. Auch in der Ausführung der Leitungsschicht 29 gemäß Figur 11 besteht kaum eine Wechselwirkung, da die seitliche Überdeckungsfläche zwischen der Wortleitung 6 und der Leitungsschicht 29 sehr gering oder
5 gleich Null ist. Die geringe Überdeckung wird dadurch erreicht, dass die Höhe der Leitungsschicht 29 entsprechend klein gewählt ist.

30

Patentansprüche

1. Speicherzellenanordnung mit Speicherzellen (2), die einen Grabenkondensator (12) und einen Auswahltransistor (4) aufweisen, wobei der Grabenkondensator (12) wenigstens teilweise in ein Halbleitermaterial (30) eingebracht ist, wobei der Grabenkondensator (12) über den Auswahltransistor (4) mit einer Bitleitung (5) elektrisch leitend verbindbar ist,
- wobei ein Steueranschluß des Auswahltransistors von einer Wortleitung (6) gebildet ist,
- wobei ein erstes und ein zweites Anschlussgebiet (21, 22) des Auswahltransistors (4) in einem aktiven Gebiet (14) des Halbleitermaterials (30) ausgebildet sind,
- wobei das erste Anschlussgebiet (21) leitend mit dem Grabenkondensator verbunden ist,
- wobei die Grabenkondensatoren (12) in Reihen angeordnet sind, wobei die aktiven Gebiete (14) jeweils zwischen zwei Grabenkondensatoren (12) angeordnet sind,
- dadurch gekennzeichnet,
- dass zwei zweite Anschlussgebiete (22) von zwei Auswahltransistoren (4) benachbarter Reihen über eine Verbindungsleitung (15) miteinander elektrisch leitend verbunden sind und ein gemeinsames Anschlussgebiet (17) für zwei Grabenkondensatoren (12) verschiedener Reihen bilden,
- dass das Anschlussgebiet mit einem Kontaktbitanschluss (16) elektrisch leitend verbunden ist,
- und dass der Kontaktbitanschluss (16) mit einer Bitleitung (5) elektrisch leitend verbunden ist.
2. Speicherzellenanordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Verbindungsleitung in Form eines dotierten Gebietes (28) in das Halbleitermaterial (30) eingebracht ist.
3. Speicherzellenanordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Verbindungsleitung in Form einer lei-

tenden Schicht (29) auf das Halbleitermaterial (30) aufgebracht ist.

4. Speicherzellenanordnung nach Anspruch 3, dadurch gekennzeichnet, dass die leitende Schicht (29) eine Höhe im Bereich von 10 bis 50 nm aufweist.
5. Speicherzellenanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Kontaktbitanschluss (16) zwischen zwei nächstliegenden Wortleitungen (6) angeordnet ist, dass neben jeder nächstliegenden Wortleitung (6) eine weitere Wortleitung (6) angeordnet ist, dass die weiteren Wortleitungen (6) die Steueranschlüsse der Auswahltransistoren (4) bilden, deren zweite Anschlussgebiete (22) Teil des Anschlussgebietes (17) sind, das mit dem Kontaktbitanschluss (16) elektrisch leitend verbunden ist.
6. Speicherzellenanordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass ein Grabenkondensator (12) im Querschnitt eine nach oben sich verjüngende Form aufweist, dass ein zweites Anschlussgebiet (22) eines Auswahltransistors (4) eines benachbarten Grabenkondensators (12) mindestens teilweise über dem Grabenkondensator (12) angeordnet ist, und dass ein Kontaktbitanschluss (16) mindestens teilweise über dem Grabenkondensator (12) angeordnet ist und mit dem zweiten Anschlussgebiet (22) und der Wortleitung (5) elektrisch leitend verbunden ist.
7. Speicherzellenanordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Wortleitungen (6) mindestens teilweise oberhalb der Grabenkondensatoren (12) geführt sind.
8. Speicherzellenanordnung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass ein Grabenkondensator von vier Grabenkondensatoren umgeben ist, deren Zentren den

gleichen Abstand zu dem Zentrum des Grabenkondensators aufweisen.

5 9. Speicherzellenanordnung nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet, dass abwechselnd true und komplementäre Bitleitungen (5a, 5b) nebeneinander angeordnet sind, dass eine true und eine komplementäre Bitleitung (5a, 5b) ein Bitleitungspaar bilden, dass das Bitleitungspaar zu einer Verstärkerschaltung (7) geführt ist, dass
10 die Bitleitungen des Bitleitungspaares überkreuzt angeordnet sind.

10. Speicherzellenanordnung nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, dass die Grabenkondensatoren (12)
15 zweier nebeneinander angeordneter Reihen gegeneinander versetzt angeordnet sind.

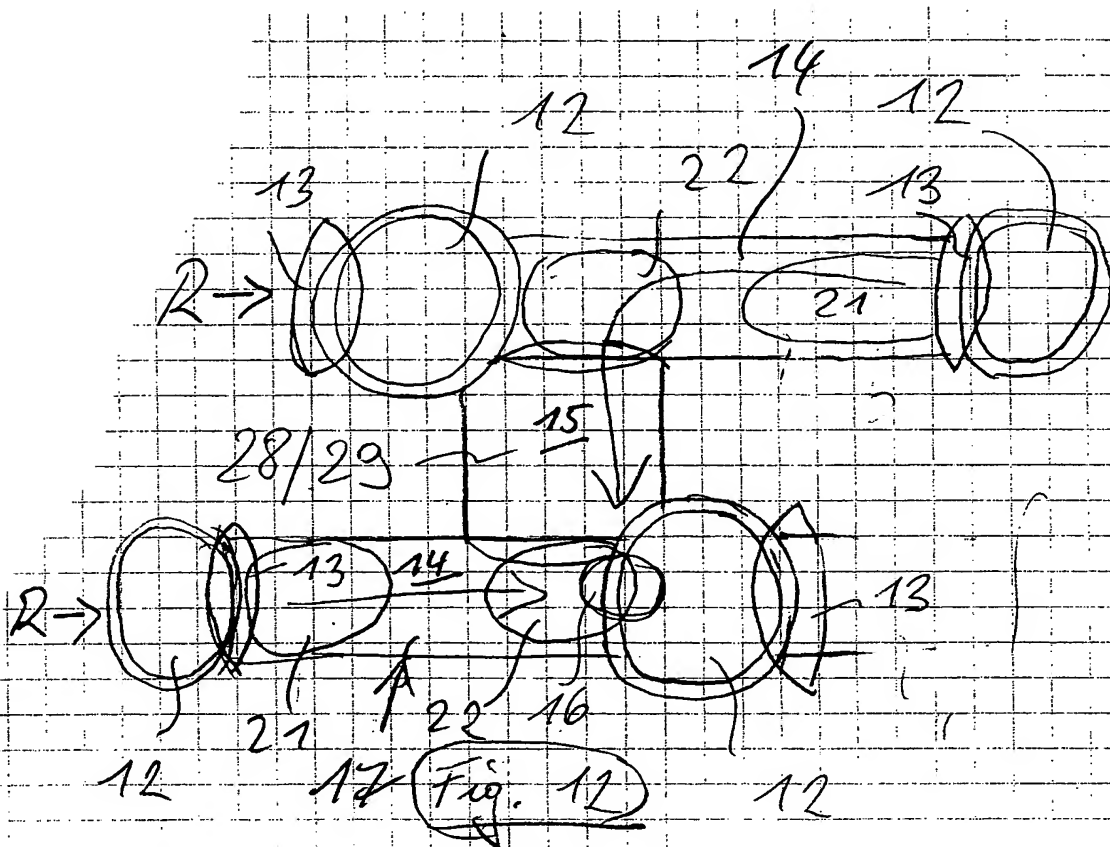
Zusammenfassung

Speicherzellenanordnung für einen DRAM-Speicher mit einem Kontaktbitanschluss für zwei Grabenkondensatoren verschiedener Reihen

Es wird eine Speicherzellenanordnung beschrieben, die eine hohe Dichte an Grabenkondensatoren erlaubt, wobei zudem zwei Grabenkondensatoren über einen Kontaktbitanschluss mit einer Bitleitung verbindbar sind. Die Grabenkondensatoren sind in einem regelmäßigen Raster angeordnet. Wortleitungen und Bitleitungen sind in Form einer senkrecht aufeinander stehenden Kreuzungsstruktur angeordnet. Ein aktives Gebiet in dem ein Auswahltransistor eines angrenzenden Grabenkondensators eingebracht ist, ist jeweils zwischen zwei Grabenkondensatoren einer Reihe angeordnet. Die Grabenkondensatoren zweier Reihen sind gegeneinander seitlich versetzt. Zwei aktive Gebiete benachbarter Reihen sind über eine Verbindungsleitung elektrisch miteinander verbunden. Die verbundenen aktiven Gebiete bilden ein gemeinsames Anschlussgebiet, das mit einem Kontaktbitanschluss in Verbindung steht. Durch die Reduzierung der Kontaktbitanschlüsse sind die Kapazitäten der Bitleitungen reduziert und die Störsignalübertragung zwischen Wortleitung und Kontaktbitanschlüssen ist vermindert.

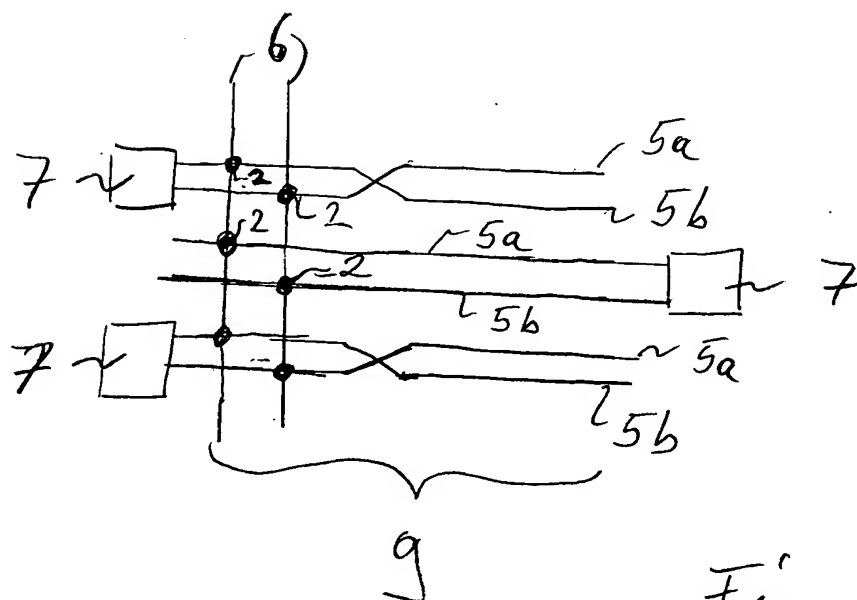
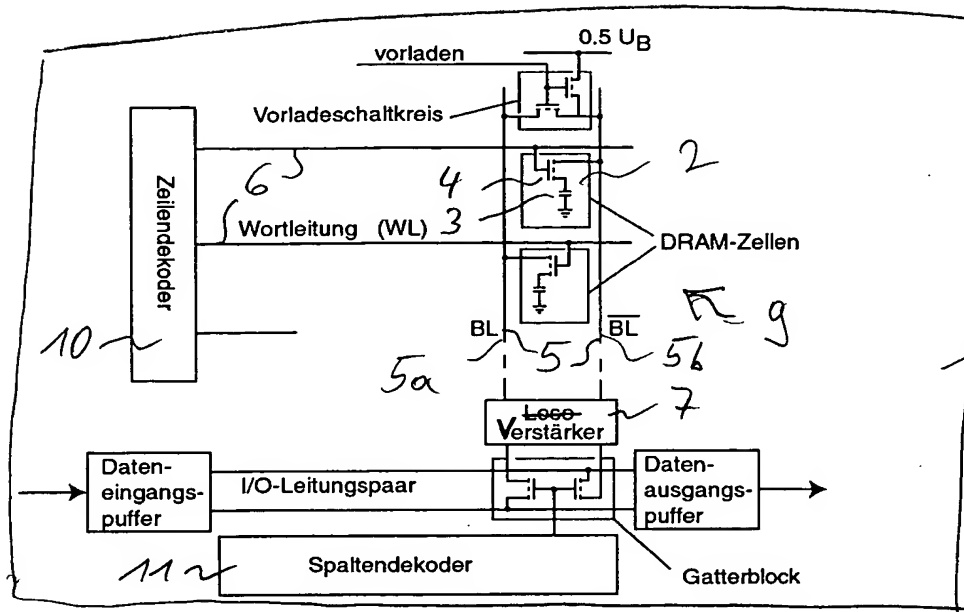
Figur 12

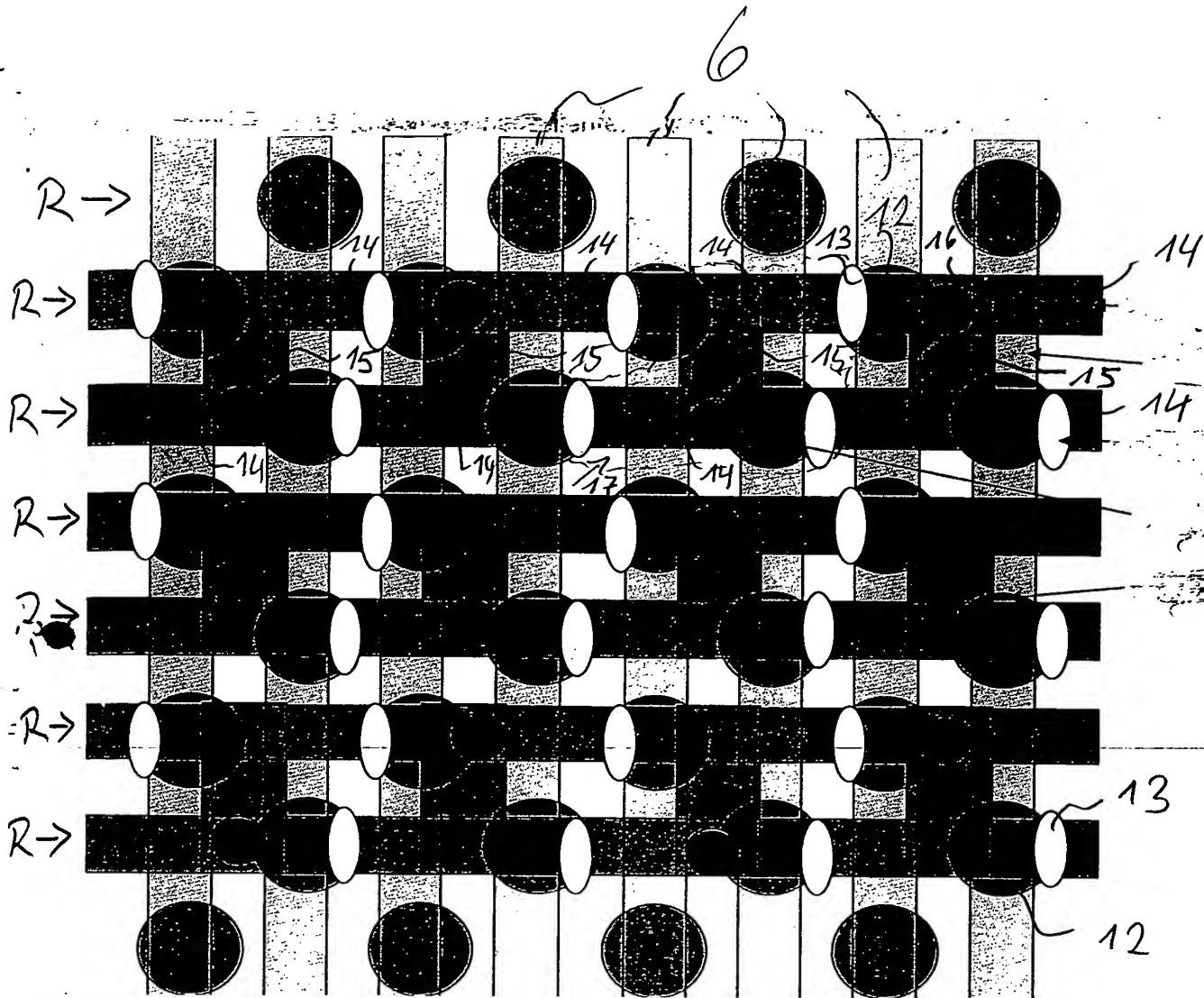
Figur für die Zusammenfassung



Bezugszeichenliste

| | |
|----|----------------------------------|
| 1 | Speicherbaustein |
| 2 | Speicherzelle |
| 3 | Kondensator |
| 4 | Auswahltransistor |
| 5 | Bitleitung |
| 5a | true Bitleitung |
| 5b | komplementäre Bitleitung |
| 6 | Wortleitung |
| 7 | Verstärkerschaltung |
| 8 | |
| 9 | Zellenfeld |
| 10 | Zeilendecoder |
| 11 | Spaltendecoder |
| 12 | Grabenkondensator |
| 13 | Kontaktanschluss |
| 14 | aktives Gebiet |
| 15 | Verbindungsleitung |
| 16 | Kontaktbitanschluss |
| 17 | Anschlussgebiet |
| 19 | innere Elektrode |
| 20 | äußere Elektrode |
| 21 | erstes Anschlussgebiet |
| 22 | zweites Anschlussgebiet |
| 23 | Gateoxid |
| 24 | Isolationsschicht |
| 26 | Speicherdielektrikum |
| 27 | weitere Isolationsschicht |
| 28 | dotiertes Gebiet |
| 29 | Leitungsschicht |
| 30 | Halbleitersubstrat |
| 31 | Graben |
| 32 | Isolationskragen |
| 33 | Kanalgebiet |
| 34 | Weiteres zweites Anschlussgebiet |





y

Fig. 3

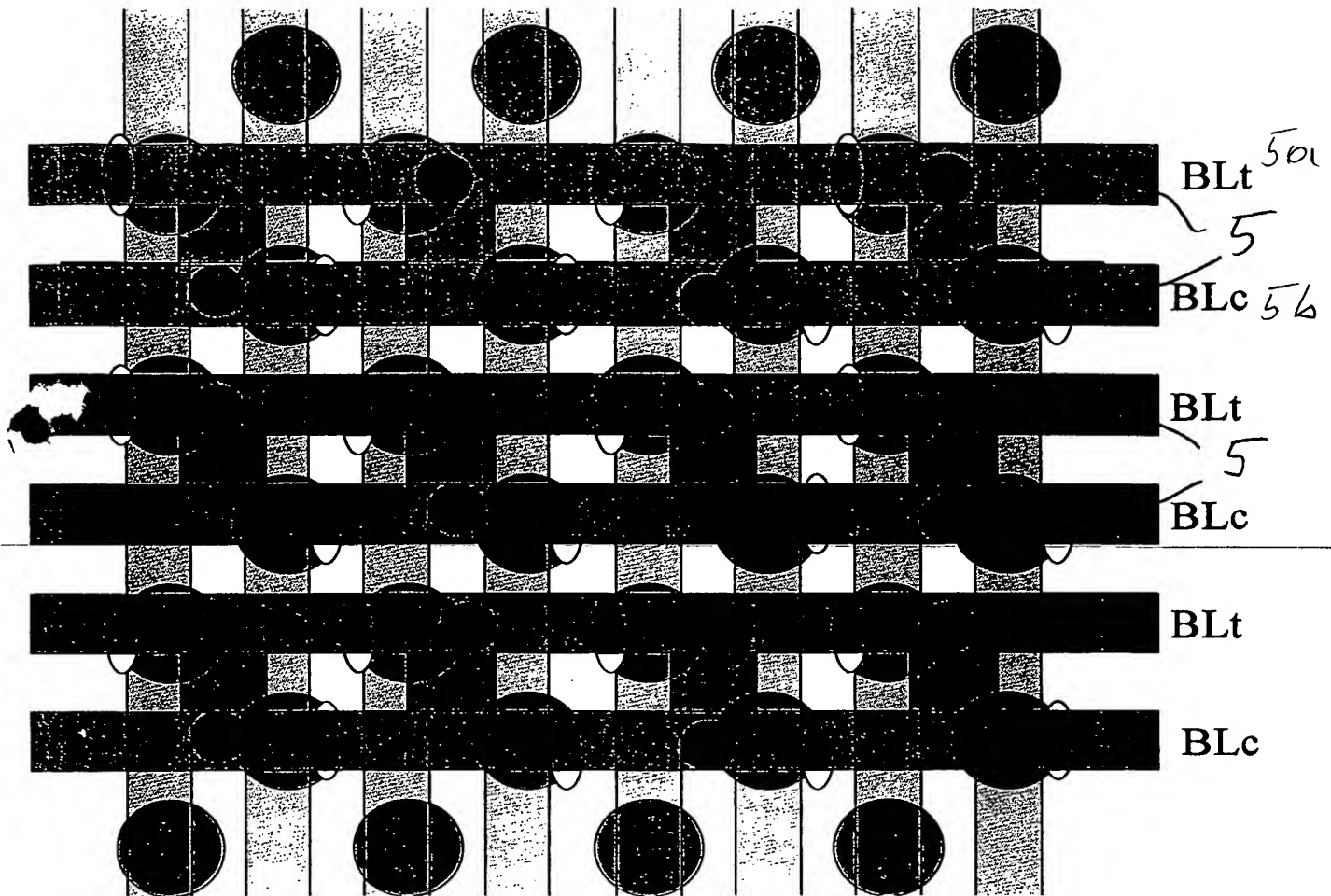
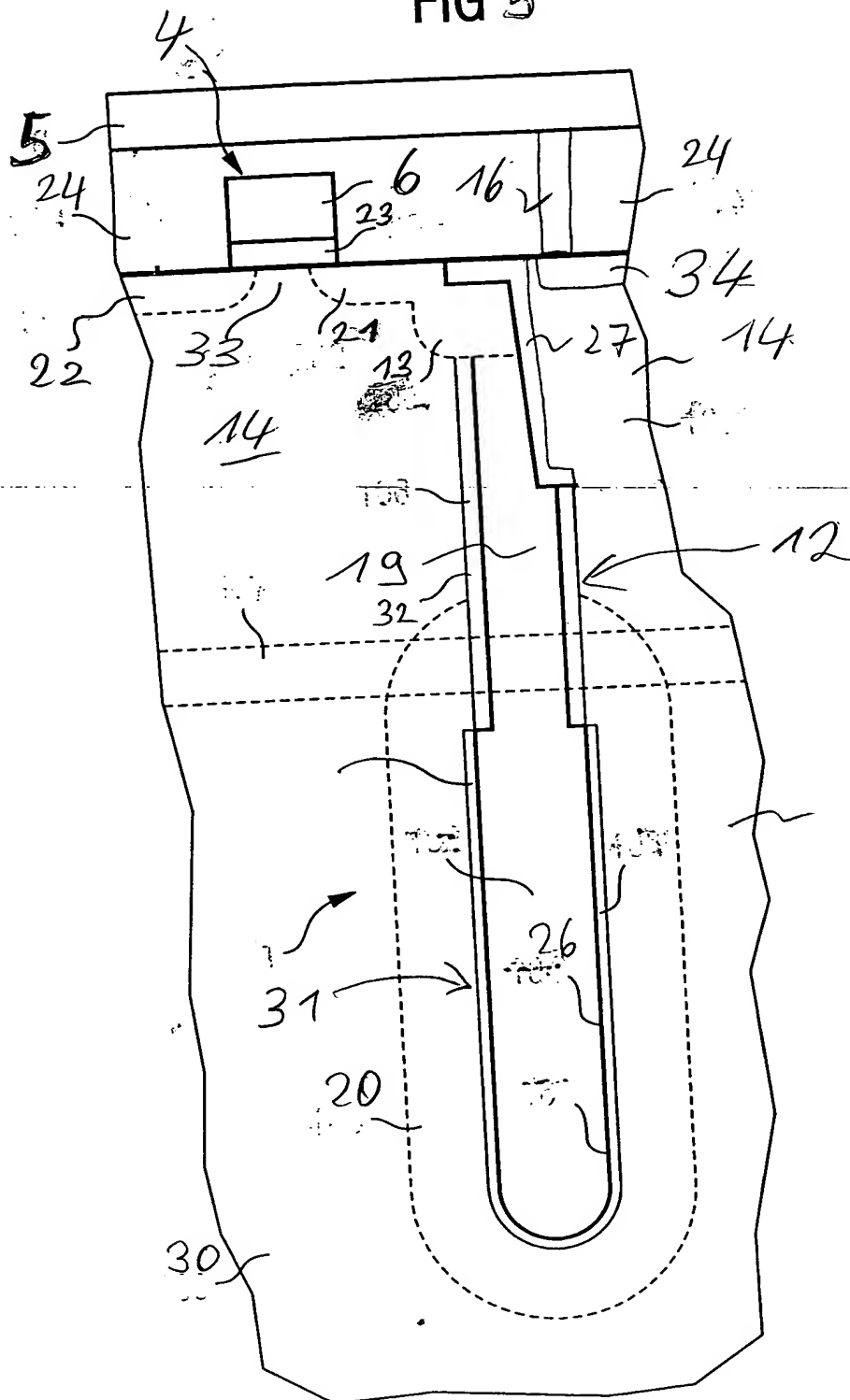
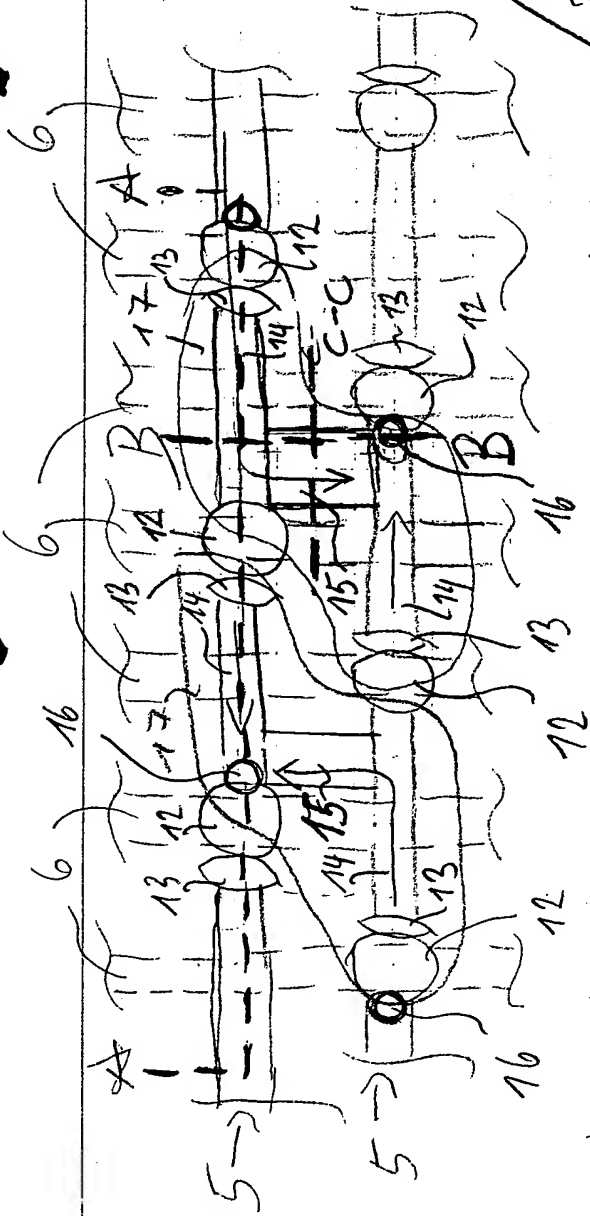


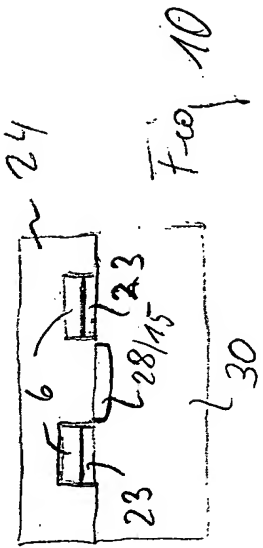
Fig. 4
✓

FIG 5

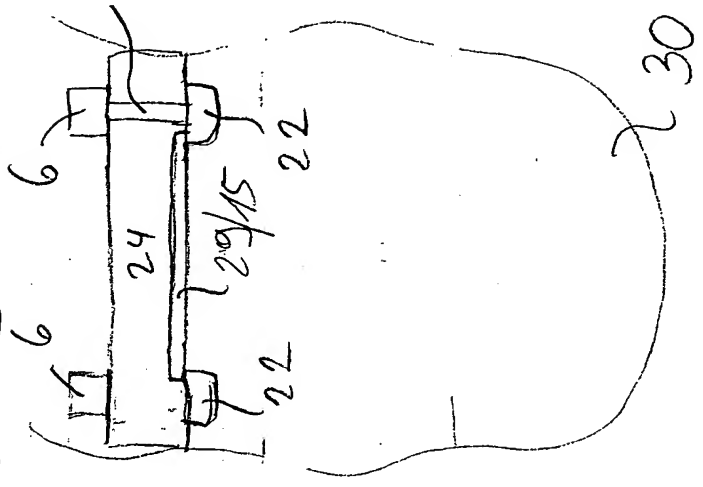




C-C



B-B



A-A

